


Original document**SEMICONDUCTOR DEVICE**

Patent number: JP2001077294
Publication date: 2001-03-23
Inventor: HASHIMOTO KATSUMASA
Applicant: NEC CORP
Classification:
- international: H01L25/065; H01L25/07; H01L25/18
- european:
Application number: JP19990248218 19990902
Priority number(s):

Also published as:

 JP2001077294 (A)[View INPADOC patent family](#)**Abstract of JP2001077294**

PROBLEM TO BE SOLVED: To provide a semiconductor device, in which mount density of a semiconductor chip is enhanced, mounting of the semiconductor chip is simplified, and mounting with a solder bump is possible.

SOLUTION: A semiconductor device 1 is provided with an insulating substrate 10, in which an electrode pad 13 is formed on one surface, and external connecting terminals 18 and 19 are formed on the other surface, and two semiconductor chips 11 and 12 mounted on the electrode 13 on one surface of the substrate 10. This device is constituted by folding the substrate 10 to form a U-shape in the direction of the thickness with one surface inward to arrange two semiconductor chips 11 and 12 back to back, and by filling a resin 16 between the folded substrate 10 to seal the semiconductor chips 11 and 12. When the semiconductor device 1 is mounted on a mother board 21, two semiconductor chips 11 and 12 are mounted in a state such that they are laminated. Thus, the mount density of the semiconductor chips to the mother board 21 is improved.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-77294
(P2001-77294A)

(43) 公開日 平成13年3月23日 (2001.3.23)

| | | | |
|---------------------------|------|---------------|-------------|
| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-リ-ト* (参考) |
| H 0 1 L 25/065 | | H 0 1 L 25/08 | Z |
| 25/07 | | | |
| 25/18 | | | |

審査請求 有 請求項の数 5 O L (全 6 頁)

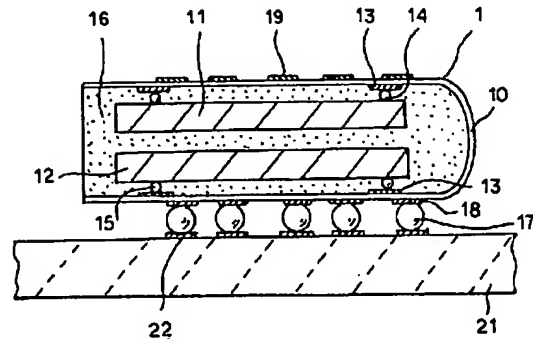
| | | | |
|-----------|----------------------|----------|--|
| (21) 出願番号 | 特願平11-248218 | (71) 出願人 | 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 |
| (22) 出願日 | 平成11年9月2日 (1999.9.2) | (72) 発明者 | 橋本 克正 東京都港区芝五丁目7番1号 日本電気株式会社内 |
| | | (74) 代理人 | 100081433 弁理士 鈴木 章夫 |

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体チップの実装密度の向上を図るとともに、半導体チップの搭載作業の簡易化を図り、しかもはんだバンプによる実装を可能にした半導体装置を提供する。

【解決手段】 一方の面に電極パッド13が形成され、他方の面に外部接続端子18、19が形成された可撓性のある絶縁性の基板10と、基板10の一方の面の前記電極パッド13に搭載された2つの半導体チップ11、12とを備えており、基板10を一方の面を内側に向けて厚さ方向にU字型に曲げて2つの半導体チップ11、12を背中合わせの状態に構成するとともに、曲げられた基板10間に樹脂16を充填して半導体チップ11、12を封止して半導体装置1を構成する。半導体装置1をマザーボード21に実装したときには、2つの半導体チップ11、12は積層した状態で実装されることになり、マザーボード21に対する半導体チップの実装密度が向上される。



1 : 半導体装置
10 : FPC基板
11, 12 : 半導体チップ
13 : 電極パッド
14, 15 : 金バンプ
18 : 樹脂
17 : はんだバンプ
18, 19 : 外部接続端子
21 : マザーボード
22 : 実装用電極パッド

【特許請求の範囲】

【請求項1】 一方の面に電極パッドが形成され、他方の面に前記電極パッドに接続される外部接続端子が形成された可撓性のある絶縁性の基板と、前記基板の前記一方の面において前記電極パッドに搭載された2つの半導体チップとを備え、前記基板を前記一方の面を内側に向けて厚さ方向にU字型に曲げて前記2つの半導体チップを背中合わせの状態に構成するとともに、前記曲げられた基板間に樹脂を充填して前記半導体チップを前記基板間に封止したことを特徴とする半導体装置。

【請求項2】 前記半導体チップは、前記電極パッドに対してフリップチップ構造により搭載されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記外部接続端子は、前記U字型に曲げられた前記基板の外側の面の、少なくとも一方の側の外側面に配設されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記外部接続端子は前記基板の前記両方の側の外側面にそれぞれ配設されており、前記各外部接続端子はそれぞれ前記半導体チップに電気接続されるとともに、一方の外側側の外部接続端子にはボールグリッドアレイ構造を構成するためのはんだボールが接続されていることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記他方の外側側の外部接続端子には、別の半導体装置の外部接続端子に設けたはんだボールが接続可能であることを特徴とする請求項4に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数のチップを搭載した半導体装置に関し、特に実装密度の向上を図った半導体装置に関するものである。

【0002】

【従来の技術】近年、半導体装置の実装密度の向上が要求されており、これを実現するために複数のチップを1つのパッケージとして搭載した半導体装置が提案されている。図5はこの種の半導体装置の従来例を示す断面図である。図5(a)の例は、リードフレーム101の両面にそれぞれ半導体チップ102、103を搭載し、各半導体チップ102、103とリードフレーム101とをボンディングワイヤ104で接続し、モールド樹脂105によりパッケージ封止したものである。また、図5(b)は2つの半導体チップ202、203の背面を直接的に接着した上で各半導体チップ202、203をリードフレーム201に接続し、モールド樹脂205によりパッケージ封止したものである。図5(c)はリードフレーム301の一部、あるいは全体を2段構成となるように形成した上で、2つの半導体チップ302、303をリードフレームの異なる高さ位置に搭載し、かつそれぞれの半導体チップ302、303を図示のように直

接的にリードフレーム301に接続し、あるいは図外のボンディングワイヤにより接続を行ってマザーボード304への実装を行ったものである。さらに、図5(d)は、基板401に2つの半導体チップ402、403を積層状態に搭載し、各半導体チップ402、403と基板401とをボンディングワイヤ404で接続した上でモールド樹脂405によりパッケージ封止したものである。また、外部接続端子としてはんだバンプ(BGA)406を基板401の裏面に配設している。

【0003】このような従来の半導体装置において、図5(a)、(c)の半導体装置は、リードフレームを用いているために、リードフレームが半導体チップの外方に突出され、半導体装置の実装面積が半導体チップの面積に比較して大きくなり、高密度実装が困難になる。また、図5(a)、(c)、(d)の半導体装置では、半導体チップを積層状態に搭載した上で、各半導体チップに対してワイヤボンディングやリードフレームに対する接続を行う必要があり、接続作業が困難なものとなる。さらに、近年ではBGA等のようにはんだバンプによる実装が可能な半導体装置が要求される場合には、図5(a)～(c)のような構造は採用が困難となる。この点、図5(d)の構造では可能であるが、この構造では上側の半導体チップは下側のものよりも小さいことが条件であり、同一サイズの2つの半導体チップで実現することは困難である。

【0004】本発明の目的は、実装密度の向上を図るとともに、半導体チップの搭載作業の簡易化を図り、しかもはんだバンプによる実装を可能にした半導体装置を提供するものである。

【0005】

【課題を解決するための手段】本発明の半導体装置は、一方の面に電極パッドが形成され、他方の面に前記電極パッドに接続される外部接続端子が形成された可撓性のある絶縁性の基板と、前記基板の前記一方の面において前記電極パッドに搭載された2つの半導体チップとを備え、前記基板を前記一方の面を内側に向けて厚さ方向にU字型に曲げて前記2つの半導体チップを背中合わせの状態に構成するとともに、前記曲げられた基板間に樹脂を充填して前記半導体チップを封止したことを特徴とする。ここで、前記半導体チップは、前記電極パッドに対してフリップチップ構造により搭載される。また、前記外部接続端子は、前記U字型に曲げられた前記基板の外側の面の、少なくとも一方の側の外側面に配設される。この場合、前記外部接続端子は前記基板の前記両方の側の外側面にそれぞれ配設されており、前記各外部接続端子はそれぞれ前記半導体チップに電気接続されるとともに、一方の外側側の外部接続端子にはボールグリッドアレイ構造を構成するためのはんだボールが接続されることが好ましい。

【0006】本発明によれば、絶縁性の基板に搭載され

た2つの半導体チップは、基板をU字型に曲げ形成することで互いに積層された状態で半導体装置が構成される。そのため、半導体装置を実装したときには、2つの半導体チップは積層した状態で実装されることになり、実装基板に対する半導体チップの実装密度が向上される。また、半導体装置の外部接続端子は、U字型に曲げた基板の外側面の少なくとも一方の外側面に配設されているため、外部接続端子をはんだバンプ構造で実装することが可能になるとともに、半導体装置を実装基板に実装したときに外部接続端子は半導体チップの外方に突出配置されることがなく、実装面積を低減することができる。

【0007】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の半導体装置1の一実施形態の断面図である。前記半導体装置1では、2個の半導体チップ11、12はポリイミド樹脂等のような可撓性のある材料からなるFPC基板（フレキシブルプリント板）10の一面にフリップチップ接続方式で接続されている。すなわち、FPC基板10の一方の面に導電薄で構成された電極パッド13が形成されており、各半導体チップ11、12の電極にそれぞれ設けられている金バンプ14、15がそれぞれ前記電極パッドに接続されている。また、前記2つの半導体チップ11、12が背中合わせになるように、前記FPC基板10はほぼ中間位置において厚さ方向にU字型に曲げられている。そして、前記FPC基板10の曲げられた内側の空間、すなわち、前記半導体チップ11、12とFPC基板10の間には封止樹脂16が充填され、前記半導体チップ11、12がFPC基板10間に封止されている。また、前記FPC基板10の外面には前記電極パッド14、15と同様に導電薄で構成された外部接続端子18、19が配列されており、ここではFPC基板10の図示下側の外面の外部接続端子18には球形のはんだバンプ17が接続されてBGA（ボール・グリッド・アレイ）構造の外部端子として構成されている。また、図示上側の外面の外部接続端子19は電極パッド構造に形成される。このような構成により、前記半導体装置は、CSP（チップサイズパッケージ）として構成されている。

【0008】図2及び図3は図1の半導体装置1の製造方法を説明するための概略斜視図である。図2（a）のように、FPC基板10は半導体チップを2個配列することが可能な寸法の矩形の薄板状に形成されており、ポリイミド樹脂等の絶縁材料からなるFPC基板10の上面には、銅箔等の導電箔によって半導体チップを搭載するための電極パッド13が配設されている。なお、前記各電極パッド13は図示を省略した配線やスルーホールによって相互にあるいはFPC基板10の裏面の外部接続端子18、19に接続されている。また、前記FPC基板10の下面には、図1に示したように、前記した図

外の配線とスルーホールにより前記電極パッド13にあるいは相互に電気接続された電極パッド構造の前記外部接続端子18、19が配列されている。

【0009】次いで、図2（b）のように、前記FPC基板10の上面に、2個の半導体チップ11、12を搭載する。各半導体チップ11、12は図示の下面に設けられた電極にそれぞれ金バンプ14、15（図1参照）が形成されており、この金バンプ14、15を前記FPC基板10の上面の電極パッド13に接続することで、フリップチップ構造により半導体チップ11、12をFPC基板10に搭載する。このフリップチップ構造としては、金-金圧着方式や異方導電性樹脂による接続構造としてもよい。

【0010】その上で、図3（a）のように、前記FPC基板10を、そのほぼ中間位置において、厚さ方向にU字型に曲げ形成する。これにより、前記各半導体チップ11、12は背中合わせに配置された状態となる。さらに、図3（b）のように、前記FPC基板10のU字型を保持したまま、FPC基板10のU字型内部に樹脂16を注入し、FPC基板10間に充填する。そして、樹脂16が硬化することにより、前記半導体チップ11、12は前記樹脂16によって封止されることになる。その後、前記FPC基板10の一端側の外部接続端子18にはんだボール17を接続することで、BGA構造の外部接続端子が構成でき、図1に示したCSP構造の半導体装置1が作製される。

【0011】以上の構成の半導体装置1を実装基板（マザーボード）に実装する際には、図1に示したように、マザーボード21の表面に形成されている実装用電極パッド22上に前記CSP構造の半導体装置1を載置するとともに、BGA構造の外部接続端子となるはんだバンプ17を対向位置させる。そして、マザーボード21を加熱することではんだボール17を溶融し、実装用電極パッド22に接合させる。このようにして実装が行われることにより、CSP構造の半導体装置1に搭載されている2個の半導体チップ11、12は、FPC基板10の電極パッド13及び配線パターン、さらにはんだバンプ17を介してマザーボード21の実装用電極パッド22に電気接続されることになり、マザーボード21に対する半導体装置の実装が実現できる。

【0012】このように、本実施形態の半導体装置1では、2個の半導体チップ11、12はFPC基板10にフリップチップ法によって搭載した上で、FPC基板10をU字型に曲げ形成することで、各半導体チップ11、12は互いに積層された状態となり、結果として、2個の半導体チップ11、12は積層した状態でマザーボード21に実装されることになり、実装密度が向上される。また、各半導体チップ11、12に接続される外部接続端子18、19のうち、実装用の外部接続端子18ははんだバンプ17によってFPC基板の一端側にB

G A構造として構成されているため、半導体装置をマザーボード21に実装したときの外部接続端子が半導体チップ11、12よりも外方に突出配置されることがなく、実装面積を低減することができる。さらに、2個の半導体チップ11、12は互いに背中合わせの状態に積層され、各半導体チップ11、12はそれぞれがFPC基板10に対してフリップチップ法により搭載されているため、各半導体チップ11、12のサイズに制約を受けることはなく、同一サイズの半導体チップの積層が実現できることになる。また、この実装状態では、半導体装置の上面に露呈されている外部接続端子19に対して試験装置を接続することで、実装した半導体装置の電気特性の試験を容易に行うことが可能である。

【0013】ここで、本実施形態の半導体装置では、図4に示すように、マザーボード21に実装した1つの半導体装置の上に、同様な構造の他の半導体装置を積層した状態に実装することも可能である。すなわち、マザーボード21に実装した半導体装置1の上面に位置される電極パッド構造の外部接続端子19に対し、他の半導体装置1AのBGA構造の外部接続端子、すなわちはんだバンプ17を接続する。これにより、上下の半導体装置1、1Aは、それぞれ外部接続端子18(20)、19を通して相互に電気接続されることになり、結果として上下の半導体装置1、1Aにそれぞれ搭載されている各2個の半導体チップ11、12が相互に電気接続され、かつマザーボード21に対して実装が行われることになる。

【0014】このように、2つの半導体装置1、1Aを積層した実装構造では、合計4個の半導体チップ11、12が、ほぼ1つの半導体チップの実装面積で実装されることになるため、実装密度を格段に向上することが可能となる。なお、実装上の高さ寸法に制限を受けない場合には、図4の上側の半導体装置1Aの上に、更に同様な構成の他の半導体装置を実装することも可能であり、極めて実装密度の高い実装が実現できることになる。

【0015】

【発明の効果】以上説明したように本発明は、絶縁性の

基板に搭載された2つの半導体チップは、基板をU字型に曲げ形成することで互いに積層された状態で半導体装置が構成されるので、半導体装置を実装したときには、2つの半導体チップは積層した状態で実装されることになり、実装基板に対する半導体チップの実装密度が向上される。また、半導体装置の外部端子は、U字型に曲げた基板の外側面の少なくとも一方の外側面に配設されているため、外部端子をはんだバンプ構造で実装することが可能になるとともに、半導体装置を実装基板に実装したときに外部端子は半導体チップの外方に突出配置されることがなく、実装面積を低減することができる。さらに、半導体装置の他方の外側面に配設された外部端子に対して電気接続を行うことにより、実装状態の半導体装置の電気特性の試験を行うことも可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施形態の断面図である。

【図2】図1の半導体装置の製造方法を工程順に説明するための概略斜視図のその1である。

【図3】図1の半導体装置の製造方法を工程順に説明するための概略斜視図のその2である。

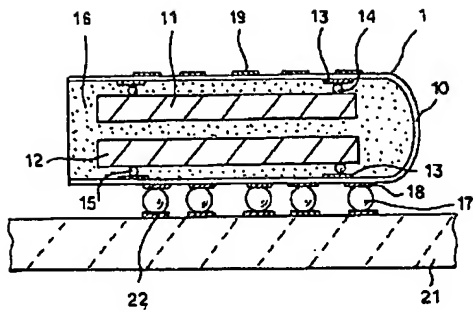
【図4】本発明の半導体装置を積層した実装構造を示す断面図である。

【図5】従来の半導体装置の各異なる構成例を示す断面図である。

【符号の説明】

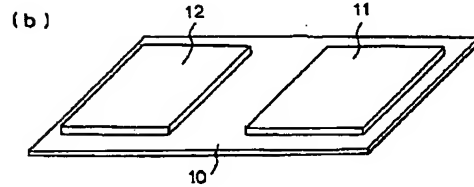
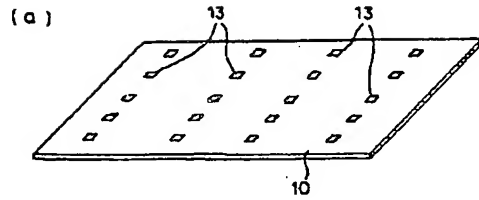
- 1、1A 半導体装置
- 10 FPC基板
- 11、12 半導体チップ
- 13 電極パッド
- 14、15 金バンプ
- 16 樹脂
- 17 はんだバンプ
- 18、19 外部接続端子
- 21 マザーボード
- 22 実装用電極パッド

【図1】



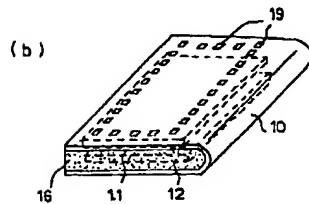
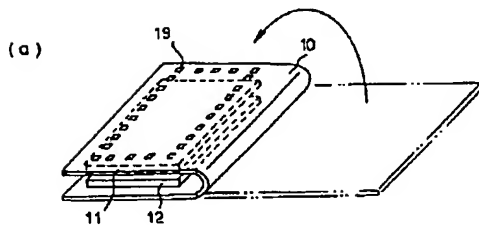
- 1: 半導体装置
10: PFC基板
11, 12: 半導体チップ
13: 電極パッド
14, 15: 金バンプ
16: 樹脂
17: はんだバンプ
18, 19: 外部接続端子
21: マザーボード
22: 実装用電極パッド

【図2】



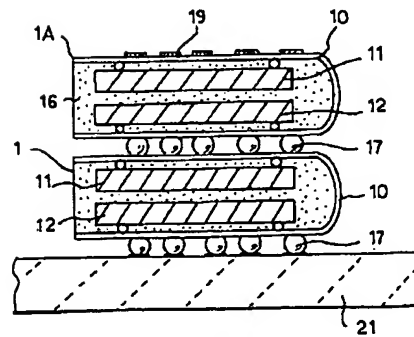
- 10: PFC基板
11, 12: 半導体チップ
13: 電極パッド

【図3】



- 10: PFC基板
11, 12: 半導体チップ
13: 電極パッド
16: 樹脂
19: 外部接続端子

【図4】



- 1, 1A: 半導体装置
10: PFC基板
11, 12: 半導体チップ
16: 樹脂
17: はんだバンプ
19: 外部接続端子
21: マザーボード

【図5】

